

First Hit

End of Result Set

☐ Generate Collection ☐ Print

L2: Entry 1 of 1

File: JPAB

Mar 16, 1992

PUB-NO: JP404082090A
DOCUMENT-IDENTIFIER: JP 04082090 A
TITLE: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: March 16, 1992

INVENTOR-INFORMATION:

NAME

COUNTRY

TERADA, YASUSHI

MIYAWAKI, YOSHIKAZU

NAKAYAMA, TAKESHI

KOBAYASHI, SHINICHI

HAYASHIGOE, MASANORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP02197470

APPL-DATE: July 23, 1990

US-CL-CURRENT: 365/189.01

INT-CL (IPC): G11C 16/06; H01L 27/115; H01L 29/788; H01L 29/792

ABSTRACT:

PURPOSE: To simplify write-in with verification function by performing the inside readout of storage contents after the write-in to a selection memory transistor and performing verification write-in again when a comparison signal indicates incoincidence while comparing outside write-in data and inside readout data.

CONSTITUTION: After a write verification control means 21 activates the inside write-in means at the time of write-in and performs the write-in in a selection memory transistor, the inside readout means is activated and the inside readout of the storage contents of the selection memory transistor is performed. After that, an inside data comparator 22 is activated to execute the verification write-in operation comparing the outside write-in data and the inside readout data while activating the inside data comparator 22, and the verification write-in operation is performed again when the comparison signal indicates incoincidence. Thus, the verification and re-verification to be operated after the write-in are performed only with the inside construction part.

COPYRIGHT: (C) 1992, JPO&Japio

⑪ 公開特許公報(A) 平4-82090

⑫ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月16日

G 11 C 16/06

9191-5L G 11 C 17/00 3 0 9 A
7514-4M H 01 L 29/78 3 7 1 ※

審査請求 未請求 請求項の数 1 (全10頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑮ 特 願 平2-197470

⑯ 出 願 平2(1990)7月23日

⑰ 発 明 者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 宮 脇 好 和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 中 山 武 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発 明 者 小 林 真 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) フローティングゲートを有し、不揮発な記憶を行うメモリトランジスタからなるメモリセルを備えた不揮発性半導体記憶装置であって、
活性状態時に、外部アドレス信号に基づき選択された選択メモリトランジスタに対し、外部書き込みデータに応じて不揮発な書き込みを行う書き込み手段と、

活性状態時に、前記選択メモリトランジスタの記憶内容を内部読み出しデータとして出力する読み出し手段と、

活性状態時に、前記外部書き込みデータと前記内部読み出しデータとを比較して、その一致/不一致を指示する比較信号を出力するデータ比較手段と、

書き込み時に前記書き込み手段を活性化し、前記選択メモリトランジスタへの書き込みを行った

後、前記読み出し手段を活性化し前記選択メモリトランジスタの記憶内容の内部読み出しを行い、その後に前記データ比較手段を活性化して前記外部書き込みデータと前記内部読み出しデータとを比較するメモリ書き込み動作を実行し、前記比較信号が不一致を指示した場合、再度前記メモリ書き込み動作を行う書き込み制御手段とを備えた不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はEPROM、EEPROM等の電気的書き込みが可能な不揮発性半導体記憶装置に関する。

〔従来の技術〕

第3図は従来のEPROMの基本構成を示す回路図である。同図に示すように、メモリセル(メモリトランジスタ)1がマトリクス状(図中2行6列のみ示す)に配置されている。メモリトランジスタ1はフローティングゲートを有しており不揮発な記憶を行うことができる。このメモリトラ

レジスタ1のドレインは列単位に共通にビット線2に接続され、コントロールゲートは行単位に共通にワード線3に接続され、ソースは所定数(列)(図中3列)単位に共通にソース線4に接続される。

各ビット線2はそれぞれYゲートトランジスタ6を介して所定数(列)(図中3列)単位に共通に1/O線7に接続される。Yゲートトランジスタ6のゲートにはコラムデコーダ5の出力がそれぞれ与えられ、ワード線3はロウデコーダ8に接続される。コラムデコーダ5はアドレスバッファ9より得られる列アドレス信号に基づき、選択的にその出力をHレベルあるいは高電圧 V_{pp} レベルに設定する。一方、ロウデコーダ8はアドレスバッファ9より得られる行アドレス信号に基づき、選択的にワード線3をHレベルあるいは高電圧 V_{pp} レベルに設定する。

各1/O線7は読み出しトランジスタ10を介してセンスアンプ11に接続されると共に書き込みトランジスタ12を介して高電圧 V_{pp} に接続

される。読み出しトランジスタ10のゲートには読み出し信号Rが印加され、書き込みトランジスタ12のゲートには昇圧回路13の出力が与えられる。センスアンプ11は入出力バッファ14に後述する1ビット出力データS11を出力し、昇圧回路13には書き込み信号Wと1ビット書き込みデータS14とが与えられる。この昇圧回路13は書き込み信号WがHの時、活性状態となり、1ビット書き込みデータS14がHの場合、書き込みトランジスタ12のゲートに高電圧 V_{pp} を出力し、1ビット書き込みデータS14がLの場合、書き込みトランジスタ12のゲートにLレベルを出力する。なお、書き込み信号W及び読み出し信号Rは制御信号発生回路15が、図示しない外部制御信号に基づき出力する。

入出力バッファ14は書き込み時に1バイト(8ビット)単位で同時に各昇圧回路13に、外部書き込みデータの“1”/“0”に対応してL/Hの1ビット書き込みデータS14を出力し、読み出し時に1バイト単位で同時にセンスアンプ

11にラッチされた1ビット出力データS11を取り込み、この1ビット出力データS11のH/Lに対応して“0”/“1”の外部読み出しデータを出力する。なお、センスアンプ11(昇圧回路13)の構成は、8ビット以上(8n個($n \geq 2$))の場合が一般的であり、読み出し時にすべてのセンスアンプ11に格納されたビットデータを取り込むには、1バイト分の1ビット出力データS11をn回に分けて入出力バッファ14に順次取り込む必要がある。

このような構成のEPROMのメモリトランジスタへのデータ書き込み動作について説明する。なお、書き込み動作を行う前に予め消去動作を行う必要がある。

消去動作は、EPROMチップ上から紫外線を照射することにより行われる。紫外線を照射すると、全てのメモリトランジスタ1のフローティングゲートに蓄積されていた電子が放出され、閾値電圧が1V程度と低くなる(このときの閾値電圧を V_{th1} とする)。この状態が“1”記憶状態に

相当する。

上記消去動作を実行した後、書き込み動作を行う。書き込み動作時には読み出し信号RをL、書き込み信号WをHにし、センスアンプ11と1/O線7とを電気的に遮断し、昇圧回路13を活性状態にする。そして、ソース線4を接地して、コラムデコーダ5の出力を選択的に高電圧 V_{pp} に立ち上げるによりビット線2を選択すると共に、ロウデコーダ8により選択的にワード線3を高電圧 V_{pp} に立ち上げる。このように設定すると、入出力バッファ14から取り込んだ1ビット書き込みデータS14がHの場合、書き込みトランジスタ12のゲートに高電圧 V_{pp} が印加され、Lの場合、書き込みトランジスタ12のゲートにLが与えられる。

その結果、選択されたワード線3とビット線2との交点にある選択メモリトランジスタ1は、入出力バッファ14から取り込んだ1ビット書き込みデータS14が“0”書き込みを指示するHの場合、そのドレイン及びコントロールゲートに高電

圧 V_{pp} が印加され、ドレイン近傍のアバランシェ崩壊により生じたホットエレクトロンがフローティングゲートに注入されることにより、その閏電圧が $6 \sim 8V$ と高くなる。(このときの閏電圧を $V_{th2} (> V_{th1})$ とする)。このメモリトランジスタ1の状態が“0”記憶状態に相当する。一方、入出力バッファ14から取り込んだ1ビット書き込みデータ $S14$ が“1”書き込みを指示するLの場合、そのドレインがフローティングとなるためドレイン近傍にアバランシェ崩壊は生じず閏電圧は V_{th1} を維持し、“1”記憶状態を保つ。このようにして、メモリトランジスタ1へのデータ書き込みが行われる。

次にメモリトランジスタに書き込まれた記憶内容の読み出し動作について説明する。

読み出し動作時は、読み出し信号RをH、書き込み信号WをLにし、センスアンプ11とI/O線7とを電気的に接続し、昇圧回路13を非活性状態にする。そして、ソース線4を接地して、コラムデコーダ5の出力を選択的にHに設定するこ

とによりビット線2を選択すると共に、ロウデコーダ8により選択的にワード線3に5V程度の読み出し電圧 $V_{th1} < V_R < V_{th2}$ を与える。このように設定すると、選択メモリトランジスタ1に“0”が記憶されている場合、選択メモリトランジスタ1はオフ状態を維持するため、ビット線2を介してI/O線7からソース線4にかけて電流が流れず、選択メモリトランジスタ1に“1”が記憶されている場合、メモリトランジスタ1はオンするため、ビット線2を介してI/O線7からソース線4にかけて電流が流れる。この電流の流れの有無をセンスアンプ11によりセンスし、電流検出時にL、電流非検出時にHとなる1ビット出力データ $S11$ を入出力バッファ14に出力する。そして、入出力バッファ14から1バイト単位で外部読み出しデータを外部に出力することによって選択メモリトランジスタ1の記憶内容が読み出される。

ところで、同一チップ内のEPROMのメモリトランジスタ間においても書き込みに必要なバ

ス幅(高電圧 V_{pp} 印加時間)にばらつきが生じる等、その書き込み特性にばらつきがある。このため、1回の書き込み動作により、全てのメモリトランジスタに対し正確に書き込みを行うことは難しく、再書き込みが必要なメモリトランジスタを検出する必要がある。従って、書き込み後に、正常に(“0”の)書き込みが実行されたを確認するためのペリファイ動作が行われるのが一般的である。

ペリファイ動作は、EPROMの書き込み動作実行中において、1バイト単位の書き込み動作を実行する度に、メモリトランジスタの記憶データを外部に読み出して、書き込みデータと比較することにより、正常に書き込まれたか否かをチェックする動作である。そして、このペリファイ動作により書き込み異常を検出すると再書き込みを行う。このようなペリファイ機能を有する書き込み動作は、EPROMライターとよばれる専用の外部装置によって行われる。

【発明が解決しようとする課題】

EPROM等のように、ペリファイ機能を有する書き込み動作を実行する必要がある従来の不揮発性半導体記憶装置は以上のように構成されており、EPROMライター等の専用の外部装置を用いて書き込み及びペリファイを行っていた。

このため、書き込み時に必ずEPROMライター等の外部装置に接続する必要があり、書き込みに手間がかかってしまうという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、ペリファイ機能付き書き込みを比較的簡単に行うことができる不揮発性半導体記憶装置をすることを目的とする。

【課題を解決するための手段】

この発明にかかる不揮発性半導体記憶装置は、フローティングゲートを有し、不揮発性記憶を行うメモリトランジスタからなるメモリセルを備えており、活性状態時に、外部アドレス信号に基づき選択された選択メモリトランジスタに対し、外部書き込みデータに応じて不揮発性書き込みを行う書き込み手段と、活性状態時に、前記選択メモ

リトランジスタの記憶内容を内部読み出しデータとして出力する読み出し手段と、活性状態時に、前記外部書き込みデータと前記内部読み出しデータとを比較して、その一致／不一致を指示する比較信号を出力するデータ比較手段と、書き込み時に前記書き込み手段を活性化し、前記選択メモリトランジスタへの書き込みを行った後、前記読み出し手段を活性化し前記選択メモリトランジスタの記憶内容の内部読み出しを行い、その後前記データ比較手段を活性化して前記外部書き込みデータと前記内部読み出しデータとを比較するペリファイ書き込み動作を実行し、前記比較信号が不一致を指示した場合、再度前記ペリファイ書き込み動作を行う書き込み制御手段とを備えている。

(作用)

この発明における書き込み制御手段は、書き込み時に内部の書き込み手段を活性化し、選択メモリトランジスタへの書き込みを行った後、内部の読み出し手段を活性化し選択メモリトランジスタの記憶内容の内部読み出しを行い、その後内部

のデータ比較手段を活性化して外部書き込みデータと内部読み出しデータとを比較するペリファイ書き込み動作を実行し、比較信号が不一致を指示した場合、再度ペリファイ書き込み動作を行うため、書き込み後に行うペリファイ動作・再書き込み動作を内部の構成部のみで行うことができる。

(実施例)

第1図はこの発明の第1実施例であるEPR OMの基本構成を示す回路図である。同図に示すように、書き込みペリファイ制御回路21、コンパレータ22及びANDゲート23が新たに追加された。

書き込みペリファイ制御回路21は制御信号発生回路15からの書き込み信号WとANDゲート23の出力信号S23とを受け、書き込み信号W2、読み出し信号R及びペリファイ信号Cを出力する。具体的には、Hレベルの書き込み信号Wが与えられると、活性状態となり、通常はLレベルの書き込み信号W2、読み出し信号R及びペリファイ信号Cを順次Hレベルに立ち上げ、ペリフ

アイ機能付き書き込み動作の制御を行う。なお、これらの信号W2、R、CのHレベル出力時間は内部のタイマーを用いて、所定時間に設定されている。また、書き込みペリファイ制御回路21はANDゲート23の出力信号S23を取り込み、この信号S23に基づき再書き込みが必要と判断した場合、後述する再書き込み動作を実行する。コンパレータ22はセンスアンプ11に対応して設けられている。つまり、コンパレータ22の側端はセンスアンプ11(昇圧回路13)同様、一般的に8nΩ(図中2つのみ)示す)設けられている。このコンパレータ11はペリファイ信号C、入出力バッファ14からの1ビット書き込みデータS14及びセンスアンプ11の1ビット出力データS11を受け、ペリファイ信号CがHの場合活性状態となり、1ビット出力データS11と1ビット書き込みデータS14とを比較し、一致した場合はH、不一致の場合はLの比較結果S22をANDゲート23に出力する。

ANDゲート23は1バイト(図中、2つの

示す)のコンパレータ22の比較結果S22を取り込み、その論理積である出力信号S23を書き込みペリファイ制御回路21に出力する。なお、他の構成は第3図で示した従来例と同様であるため説明は省略する。

このような構成のEPR OMのメモリトランジスタへのデータ書き込みは、消去動作が実行された後に実行される。消去動作は従来同様にEPR OMチップ上から紫外線を照射し、全メモリトランジスタの閾電圧をV_{th1}("1"記憶状態)にすることにより行われる。

書き込み動作は、制御信号発生回路15より、Hの書き込み信号Wを書き込みペリファイ制御回路21に付与することにより開始される。すると、書き込みペリファイ制御回路21は活性状態となり、書き込み信号W2をHに立ち上げ、読み出し信号R及びペリファイ信号CをLにし、センスアンプ11とI/O線7間を電氣的に遮断し、昇圧回路13を活性状態にする。そして、コラムデコード5の出力を選択的に高電圧V_{pp}に立ち上げる

ことによりビット線2が選択されると共に、ロウデコーダ8によりワード線3が選択的に高電圧 V_{pp} に立ち上げられる。すると、入出力バッファ14から取り込んだ1ビット書き込みデータS14がHの場合、書き込みトランジスタ12のゲートに高電圧 V_{pp} が印加され、Lの場合、書き込みトランジスタ12のゲートにLが与えられる。

その結果、選択されたワード線3とビット線2との交点にある選択メモリトランジスタ1は、入出力バッファ14から取り込んだ1ビット書き込みデータS14が“0”書き込みを指示するHレベルの場合、そのドレイン及びコントロールゲートに高電圧 V_{pp} が印加され、ドレイン近傍のアバランシェ崩壊により生じたホットエレクトロンがフローティングゲートに注入され、その閾値電圧が $V_{th2}(>V_{th1})$ となる。このメモリトランジスタ1の状態が“0”記憶状態に相当する。一方、1ビット書き込みデータS14が“1”書き込みを指示するLレベルの場合、そのドレインがフローティングとなるためドレイン近傍にアバランシェ

崩壊は生じず閾値電圧は V_{th1} を維持し、“1”記憶状態を保持。このようにして、選択メモリトランジスタ1へのデータ書き込みが行われる。

その後、書き込み信号W2はLに立ち下がり、読み出し信号RがHに立ち上がる。すると、センスアンプ11とI/O線7とが電気的に接続され、昇圧回路13が非活性状態になる。そして、コラムデコーダ5の出力を選択的にHに設定することによりビット線2が選択されると共に、ロウデコーダ8により選択的にワード線3に5V程度の読み出し電圧VR($V_{th1}<VR<V_{th2}$)が与えられる。すると、選択メモリトランジスタ1に“0”が記憶されている場合、選択メモリトランジスタ1はオフ状態を維持するため、ビット線2を介してI/O線7からソース線4にかけて電流が流れず、選択メモリトランジスタ1に“1”が記憶されている場合、メモリトランジスタ1はオンするため、ビット線2を介してI/O線7からソース線4にかけて電流が流れる。センスアンプ11は、この電流の流れの有無をセンスし、電流

検出時にL、電流非検出時にHとなる1ビット出力データS11を入出力バッファ14に出力するとともにコンパレータ22に出力する。

その後、読み出し信号RがLに立ち下がり、ペリファイ信号CがHに立ち上がる。ペリファイ信号CがHになると、コンパレータ22が活性状態となり、センスアンプ11の1ビット出力データS11と入出力バッファ14から出力された1ビット書き込みデータS14とを比較し、S11=S14でH、S11≠S14でLの比較結果S22を出力する。従って、コンパレータ22の比較結果S22がLの場合、選択メモリトランジスタへの書き込みが正常に行えなかったことになる。以上のステップが1バイト単位で実行されるペリファイ機能付書き込み動作である。

ANDゲート23に取り込まれるコンパレータの比較結果S22が1箇所でもLの場合、ANDゲート23の出力信号S23がLとなり、一方、全てのコンパレータの出力信号S22がHの場合、ANDゲート23の出力信号S23がHとなる。

書き込みペリファイ制御回路21は、この出力信号S23がHの場合、書き込み動作を終了し、Lの場合、上記ペリファイ機能付書き込み動作を再度実行する。

したがって、書き込み時に少なくとも1つのメモリトランジスタにおいて、正常にデータの書き込みが行えなかった場合は、自動的に再書き込みを行うことができる。このため、メモリトランジスタの書き込み特性にばらつきがあっても、PR-OMライター等の外部装置に接続することなくEPROMの内部構成のみを利用するだけで、正常に書き込みを行うことができる。なお、読み出し動作は従来同様に行われるため説明は省略する。

第2図はこの発明の第2の実施例であるEPROMの基本構成を示す回路図である。同図に示すように、第1の実施例に比べ、コンパレータ11に対応してラッチ24が新たに設けられている。つまり、ラッチ22の個数はコンパレータ22(昇圧回路13)と同様、8n個設けられている。このラッチ24に入出力バッファ14の1ビット

書き込みデータS14がラッチされる。そして、このラッチ24に格納されたラッチデータS24が昇圧回路13及びコンパレータ22に与えられる。なお、他の構成は第1図で示した第1の実施例と同様であるため、説明は省略する。

このように構成すると、ラッチ24に格納されたラッチデータS24に基づきペリファイ機能付き書き込み動作が行えるため、1バイト単位でしかペリファイ機能付き書き込みを行うことができなかった第1の実施例に比べ、最高でnバイト単位でペリファイ機能付き書き込みを行うことが可能になる分、書き込み時間の高速化が実現する。

なお、これらの実施例では不揮発性半導体記憶装置としてEPROMを示したが、これに限定されずフラッシュEEPROM等の書き込み後にペリファイ動作を必要とする全ての不揮発性半導体記憶装置に適用可能である。

【発明の効果】

以上説明したように、この発明によれば、書き込み制御手段により、書き込み時に内部の書き込

み手段を活性化し、選択メモリトランジスタへの書き込みを行った後、内部の読み出し手段を活性化し選択メモリトランジスタの記憶内容の内部読み出しを行い、その後内部のデータ比較手段を活性化して外部書き込みデータと内部読み出しデータとを比較するペリファイ書き込み動作を実行し、比較信号が不一致を指示した場合、再度ペリファイ書き込み動作を行うため、書き込み後に行うペリファイ動作・再書き込み動作を内部の構成部のみで自動的に行うことができ、ペリファイ機能付き書き込み動作が簡単に行える。

4. 図面の簡単な説明

第1図はこの発明の第1の実施例であるEPROMの基本構成を示す回路図、第2図はこの発明の第2の実施例であるEPROMの基本構成を示す回路図、第3図は従来のEPROMの基本構成を示す回路図である。

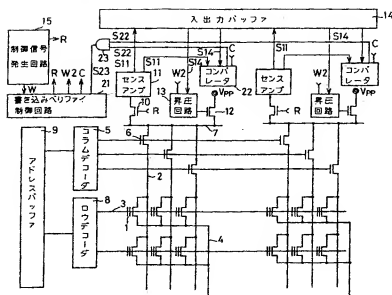
図において、1はメモリトランジスタ、11はセンスアンプ、21は書き込みペリファイ制御回路、22はコンパレータ、23はANDゲート、

24はラッチである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

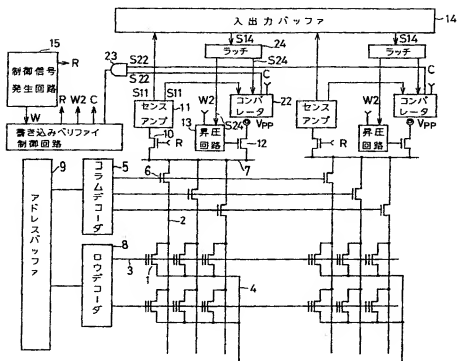
第 1 図



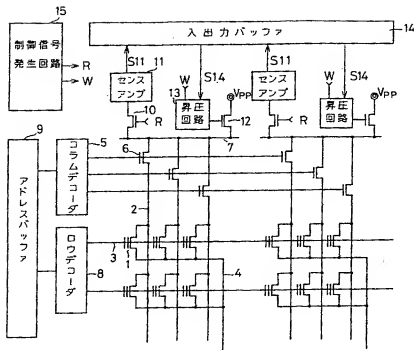
1: メモリランジスタ

23: ANDゲート

第 2 図



第 3 図



第1頁の続き

©Int.Cl.⁵

H 01 L 27/115
29/788
29/792

識別記号

庁内整理番号

8831-4M H 01 L 27/10

4 3 4

発明者 林 越 正 紀

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内



手続補正書(自発)

平成 3 年 5 月 10 日

特許庁長官殿

1. 事件の表示 特願時 2-197470号

2. 発明の名称 不揮発性半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 枝 守 哉

4. 代理人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(〒東京都千代田区丸の内二丁目2番3号)
(連絡先 03(3213)3421(7375部))

方式
審査

(7) 明細書第20頁第8行の「行うするため」2. 特許請求の範囲
を、「行うため」に訂正する。

5. 補正の対象 明細書の「特許請求の範囲の欄」及び「発明の
詳細な説明の欄」
6. 補正の内容
- (1) 特許請求の範囲を別紙の通り補正する。
- (2) 明細書第11頁第11行ないし第12行
及び第20頁第6行の「ペリファイ書き込み」を、
「書き込みペリファイ」に訂正する。
- (3) 明細書第11頁第13行ないし第14行、
第12頁第4行及び第20頁第7行ないし第8行
の「ペリファイ書き込み」を、「書き込み」に訂
正する。
- (4) 明細書第16頁第13行の「0」が記
憶されている場合」を、「書き込みが充分なされ
た場合」に訂正する。
- (5) 明細書第16頁第16行ないし第17行
の「1」が記憶されている場合」を、「書き込
みが不十分な場合」に訂正する。
- (6) 明細書第18頁第7行の「行えなかった」
を、「行えなかった」に訂正する。

以上 記憶を行うメモリトランジスタからなるメモリセルを備えた不揮発性半導体記憶装置であって、
活性状態時に、外部アドレス信号に基づき選択された選択メモリトランジスタに対し、外部書き込みデータに応じて不揮発性書き込みを行う書き込み手段と、
活性状態時に、前記選択メモリトランジスタの記憶内容を内部読み出しデータとして出力する読み出し手段と、
活性状態時に、前記外部書き込みデータと前記内部読み出しデータとを比較して、その一致／不一致を指示する比較信号を出力するデータ比較手段と、
書き込み時に前記書き込み手段を活性化し、前記選択メモリトランジスタへの書き込みを行った後、前記読み出し手段を活性化し前記選択メモリトランジスタの記憶内容の内部読み出しを行い、その後前記データ比較手段を活性化して前記外

部書き込みデータと前記内部読み出しデータとを比較する書き込みベリファイ動作を実行し、前記比較信号が不一致を指示した場合、再度書き込み動作を行う書き込み制御手段とを備えた不揮発性半導体記憶装置。